

位相同期回路を利用したアナログ回路によるハウリング低減の試み

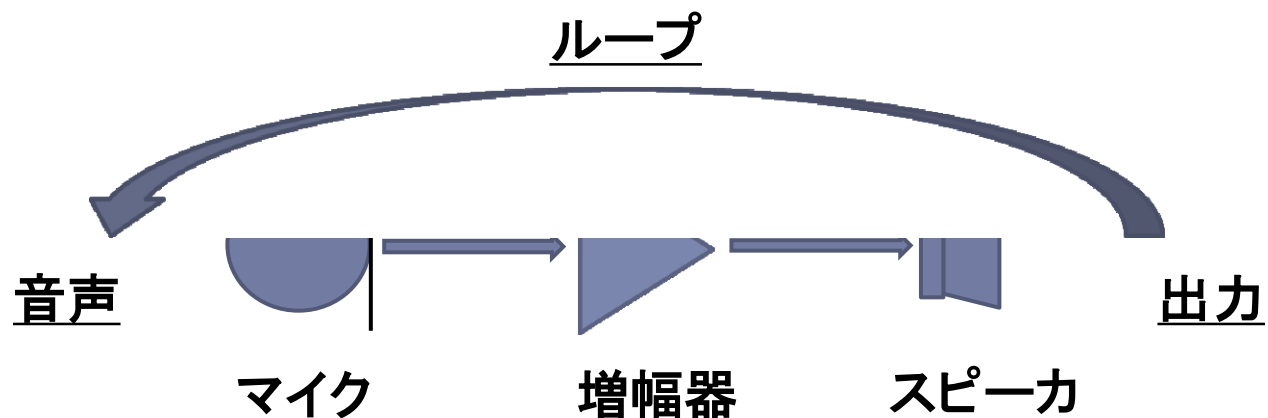
名古屋工業大学
久保真奈美、加藤正史

背景

- ▶ **ハウリング**: 音響システムのノイズの一つ

問題点

- ・音響機器を使う際、不快音として発生
- ・音響機材が破損することがある



目的

デジタル回路を用いたハウリング低減法

文献1:消音に約0.5sかかる

文献2:約9msで動作するが、ハウリング周波数を計測するために、スピーカから高周波の正弦波を出力しなければならない



アナログ回路を用いることで速く消音できるのではないか

文献1 : W. Leotwassana, R. Puchalard, W. Silaphan,

“Adaptive howling canceller using adaptive IIR notch filter: simulation and implementation”,
Neural Networks and Signal Processing, Vol.1, PP.848-851, 2003

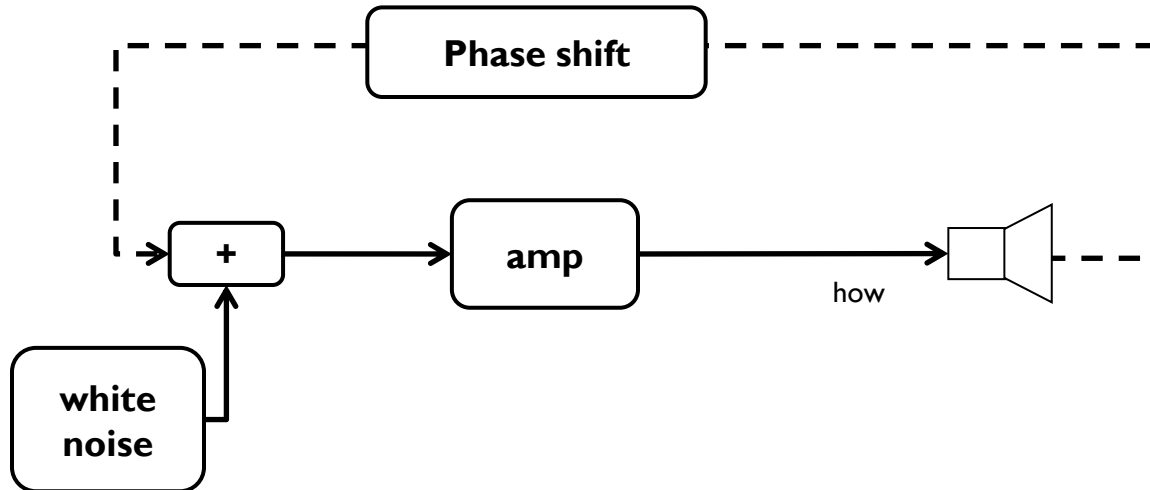
文献2: 曾我美 明, 川村 新, 飯國 洋二

“距離計測に基づくハウリングキャンセラ”

電子情報通信学会論文誌, AVOL.E91-A, NO.10, pp.939-948, 2008



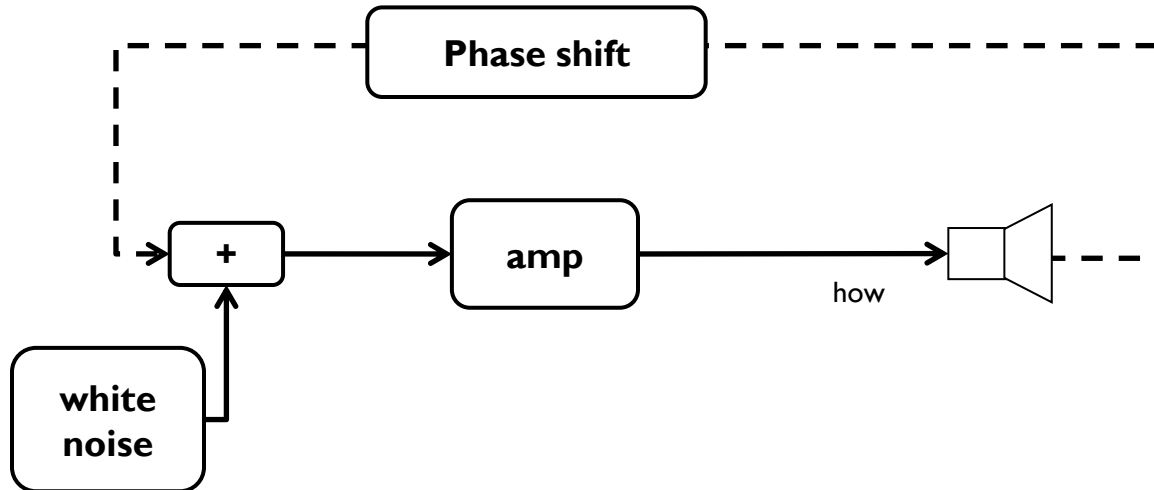
ハウリングモデル



VDEC提供のHspiceでシミュレーション
(Onsemi 1.2 μm プロセス)

- ▶ Phase shift:RC 位相シフト回路
(時定数:16 μs)
- ▶ ホワイトノイズ最大振幅:0.01V

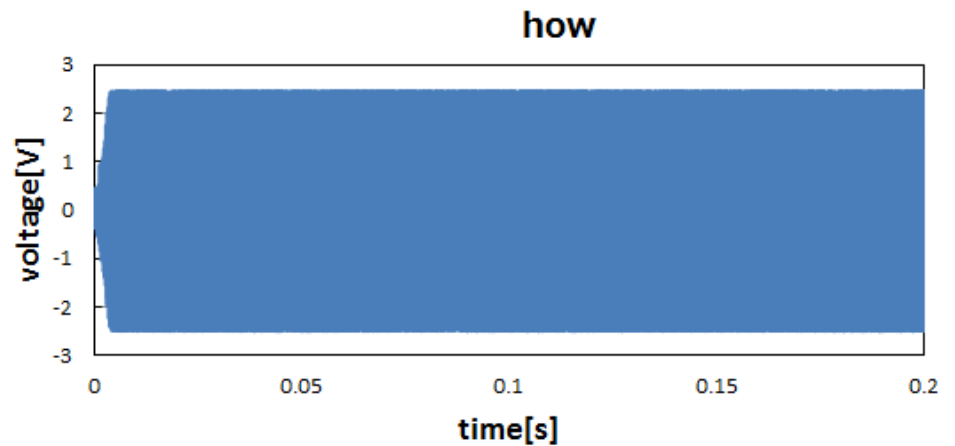
ハウリングの定義



ハウリング

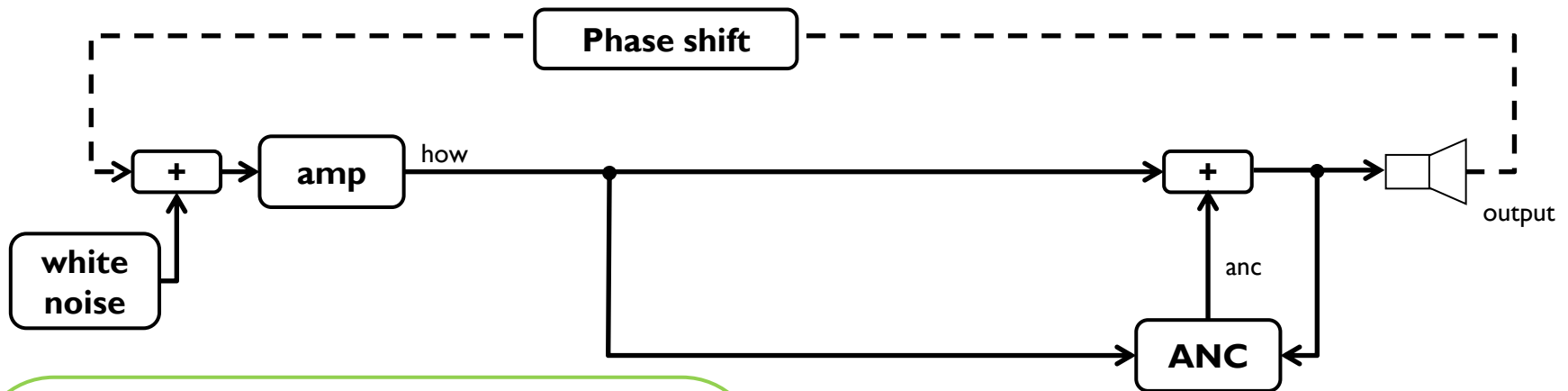
電圧の飽和状態(2.5V)が
0.1s以上現れること

↳ Amp:33倍



発振周波数:3970Hz

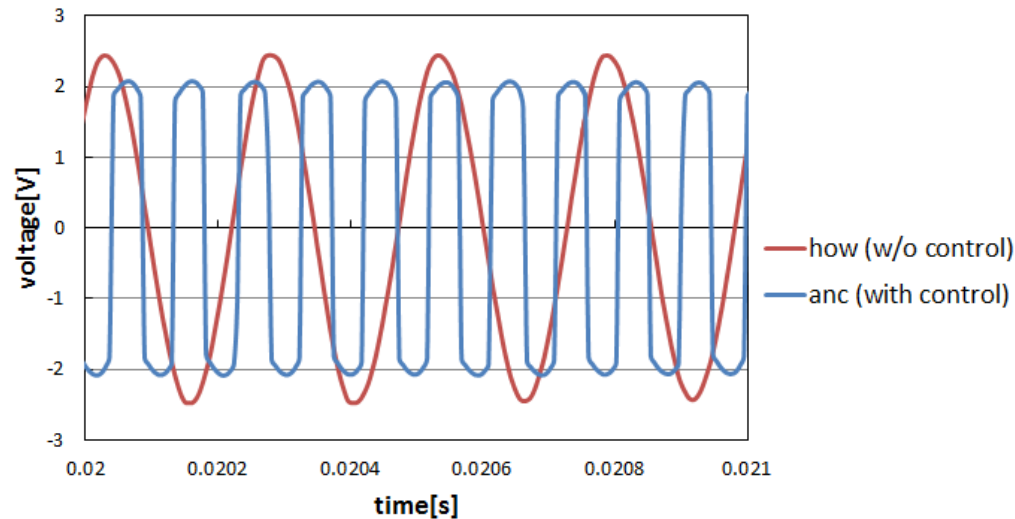
アクティブノイズコントロール(ANC)



- ・ハウリングに対し、逆位相の信号を生成
- ・加算器でハウリングに足し合わせて消音



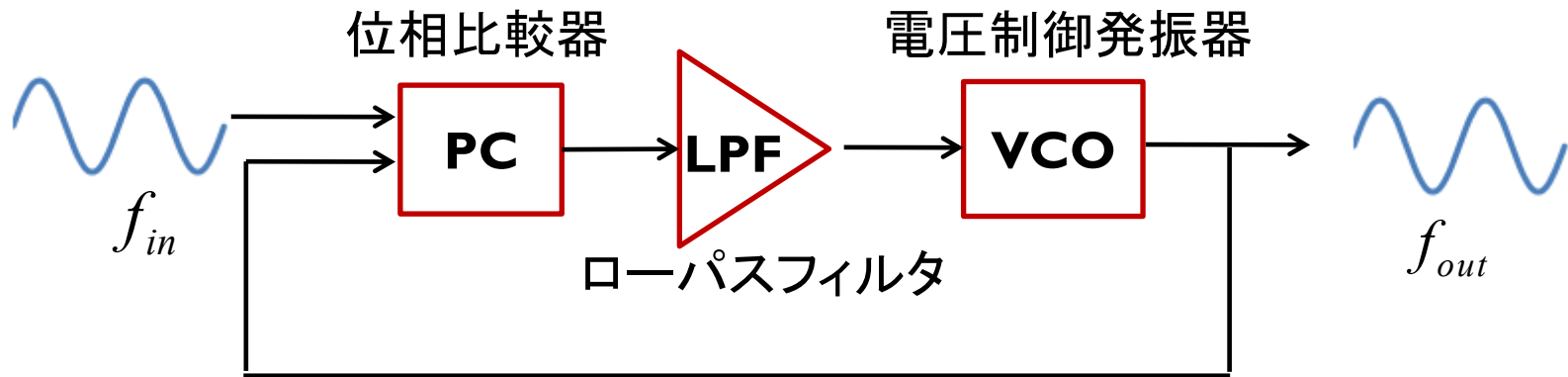
ANC回路は振幅は制御可能だが、
周波数制御はできない



文献3: M. Kato,

“Active noise control in a duct by an analog neural network circuit”,
Applied Acoustics 72, PP.732-736, 2011.

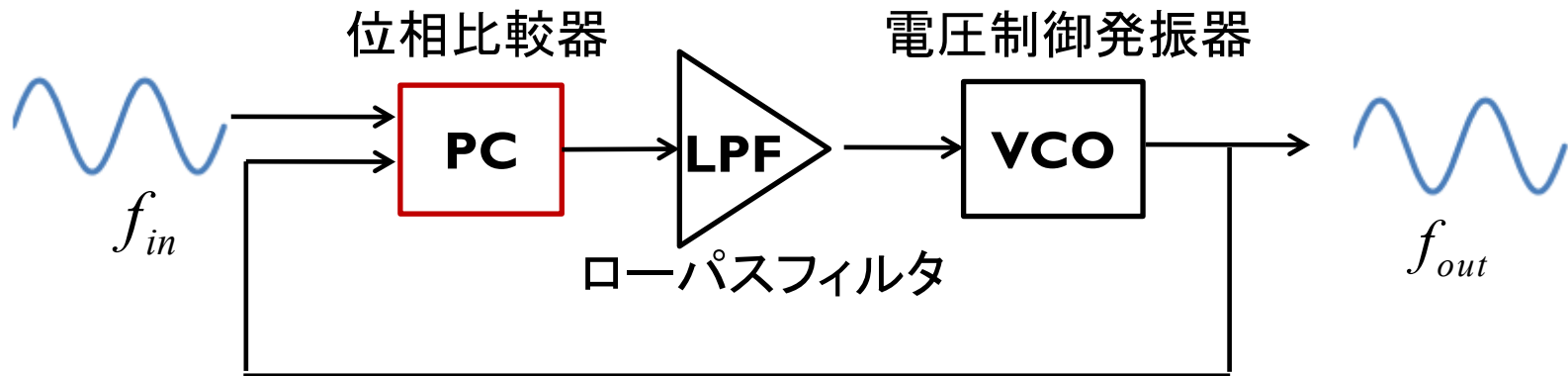
位相同期回路(PLL)



- ▶ PLL: 入力信号と同周波数信号を作りだすことが可能



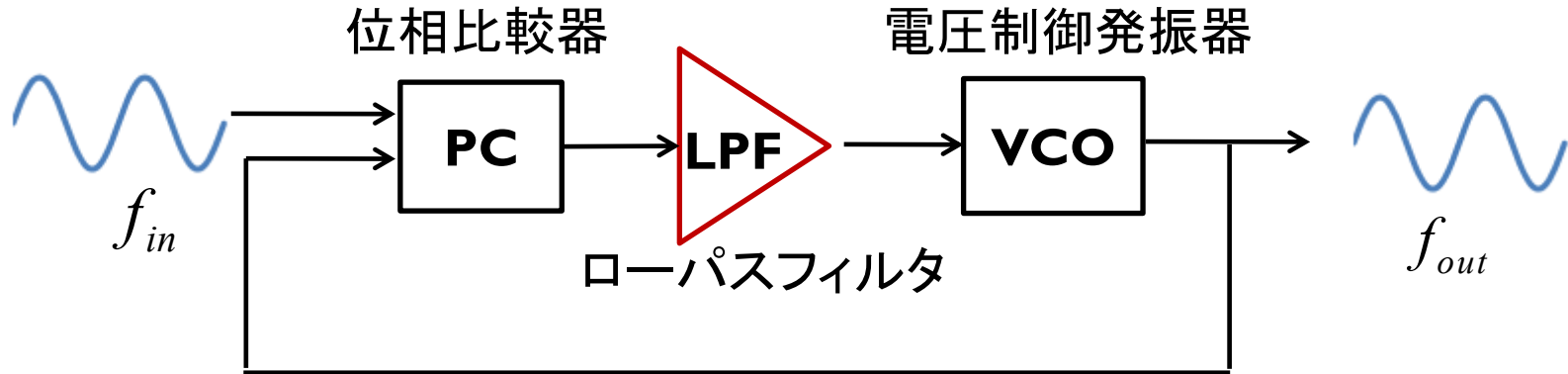
位相同期回路(PLL)



▶ PLL: 入力信号と同周波数信号を作り出すことが可能

①位相比較器(PC)で入力信号と電圧制御発振器(VCO)の位相差を検出

位相同期回路(PLL)

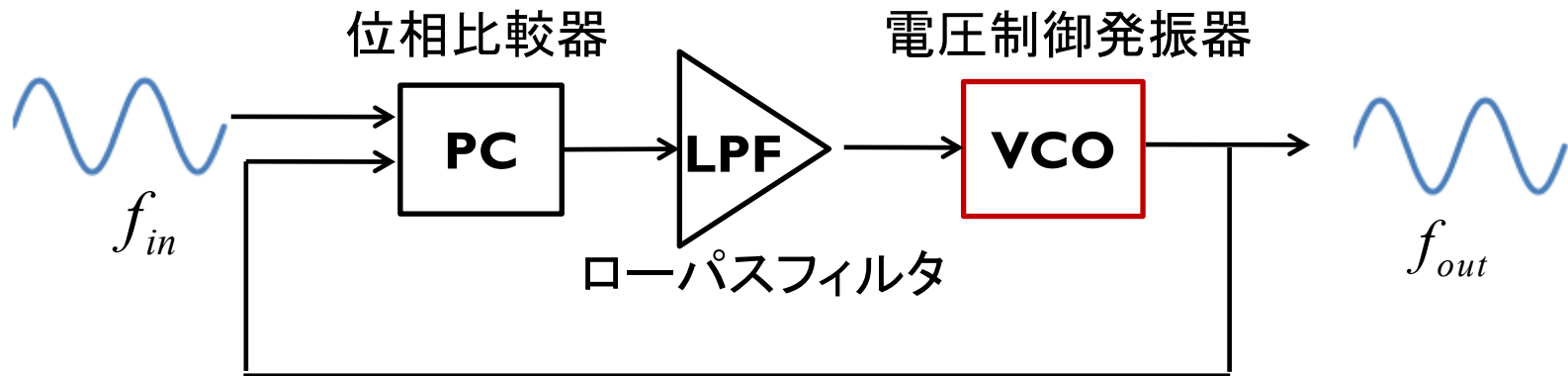


▶ PLL: 入力信号と同周波数信号を作りだすことが可能

- ①位相比較器(PC)で入力信号と電圧制御発振器(VCO)の位相差を検出
- ②LPFで信号を平均化



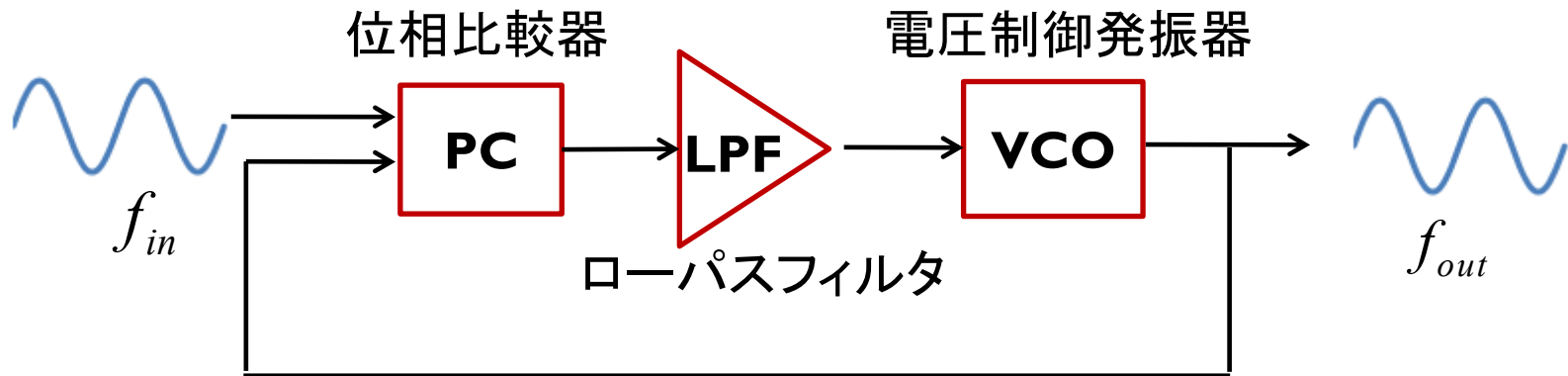
位相同期回路(PLL)



▶ PLL: 入力信号と同周波数信号を作りだすことが可能

- ①位相比較器(PC)で入力信号と電圧制御発振器(VCO)の位相差を検出
- ②LPFで信号を平均化
- ③VCOの出力周波数が変化

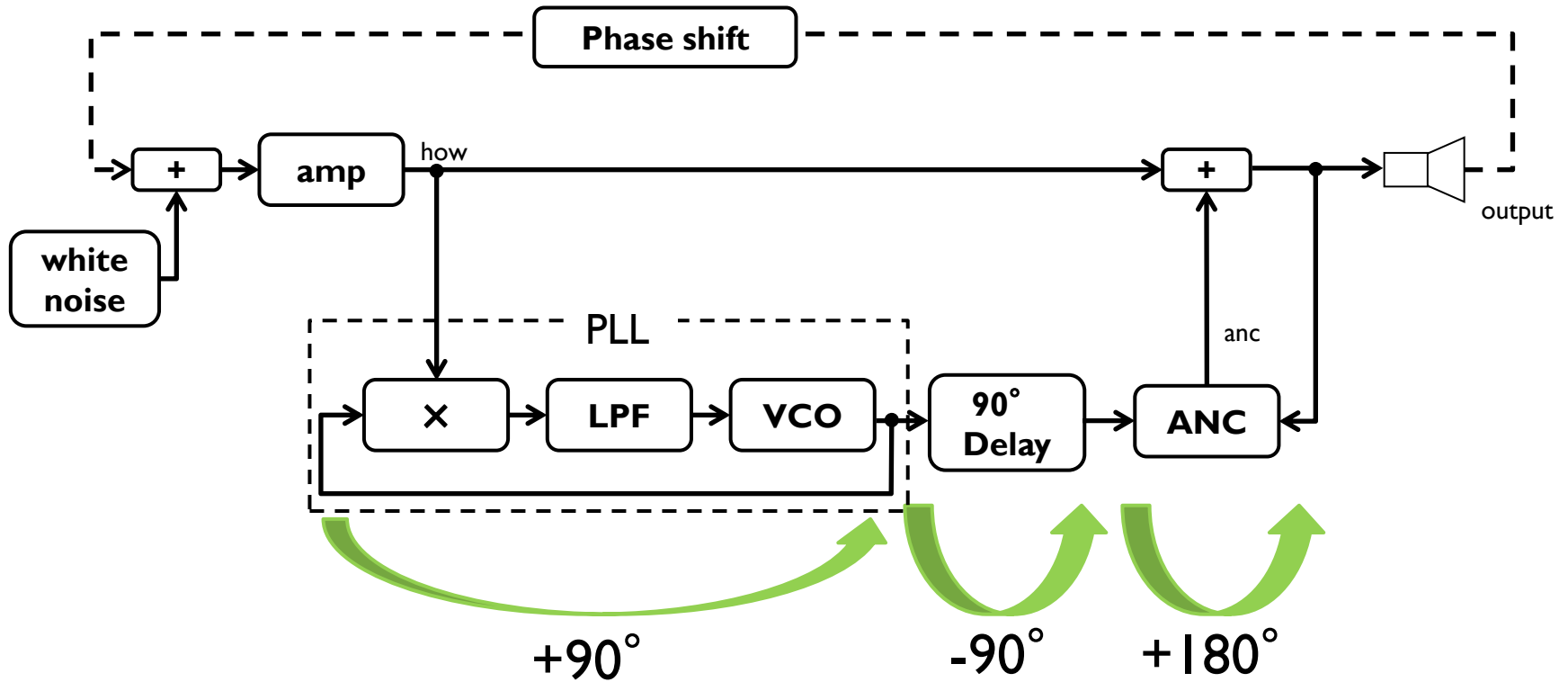
位相同期回路(PLL)



▶ PLL: 入力信号と同周波数信号を作りだすことが可能

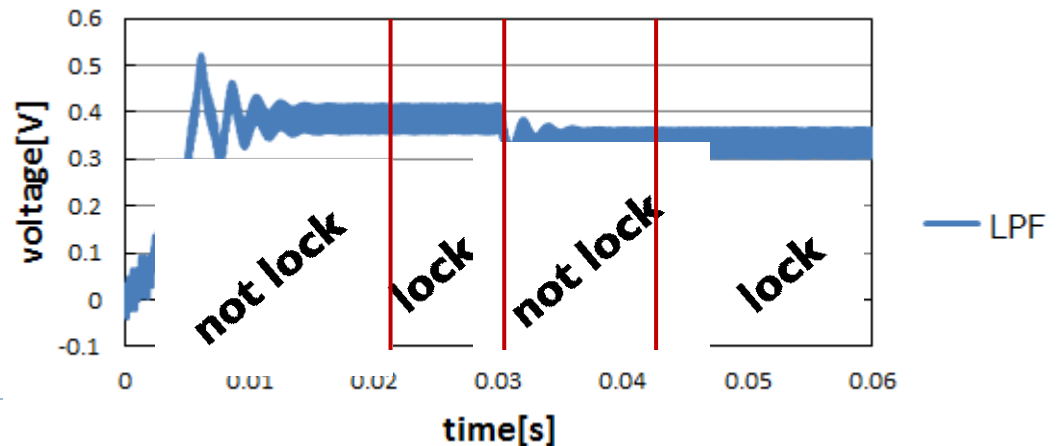
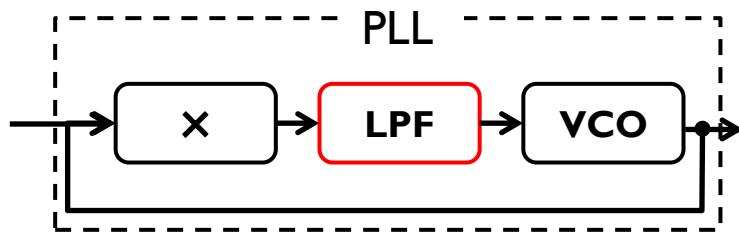
- ①位相比較器(PC)で入力信号と電圧制御発振器(VCO)の位相差を検出
- ②LPFで信号を平均化
- ③VCOの出力周波数が変化
- ④位相差が一定になる
- ⑤入力と出力の周波数が一致⇒PLLがロック

PLL+ANCのハウリング低減用回路構成



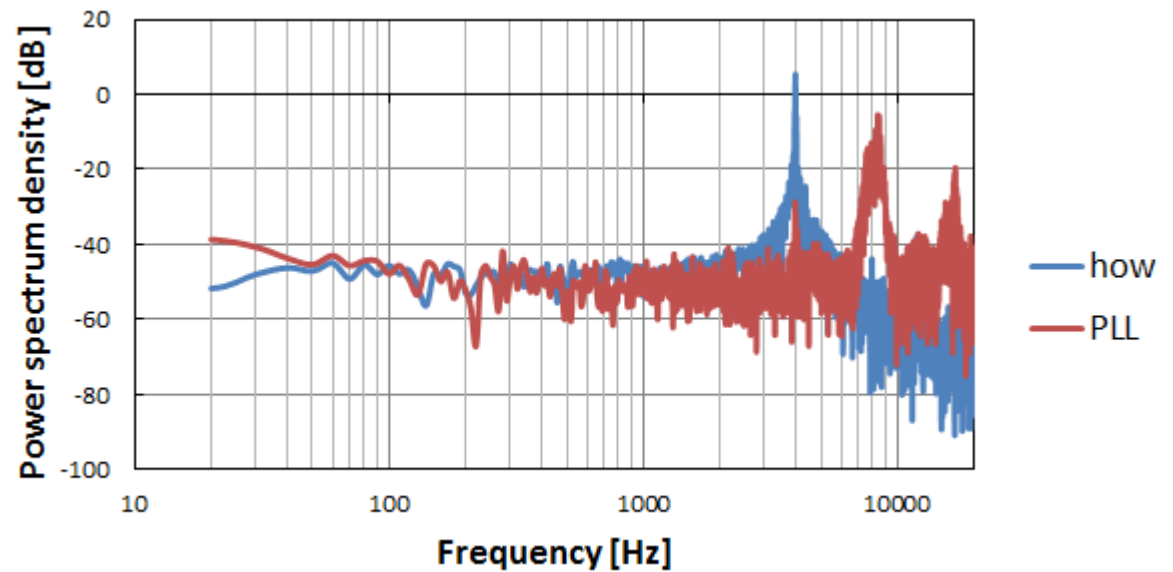
問題点①

- ▶ PLLがロックしていないとき、PLLとANCで構成される回路が低減用回路として働かない
 - PLLがロックしているかどうかを判別
 - 微分スイッチ
- ▶ LPFの出力が安定している場合→ハウリング低減用回路をオン
- ▶ LPFの出力が変動している場合→ハウリング低減用回路をオフ



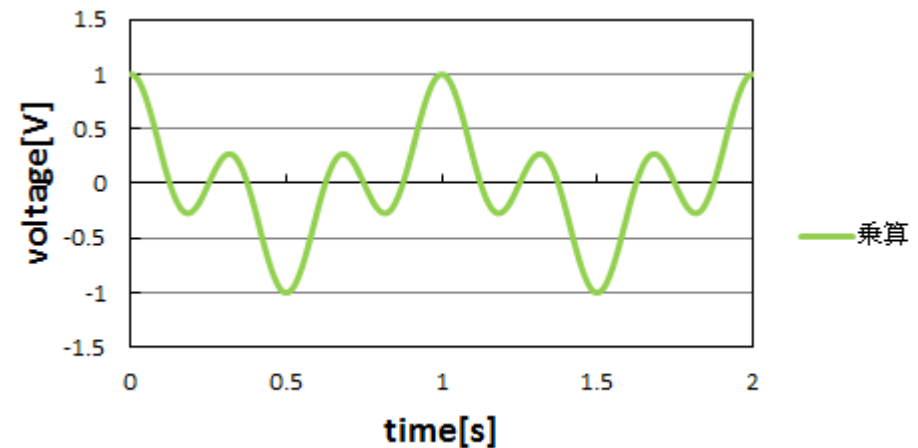
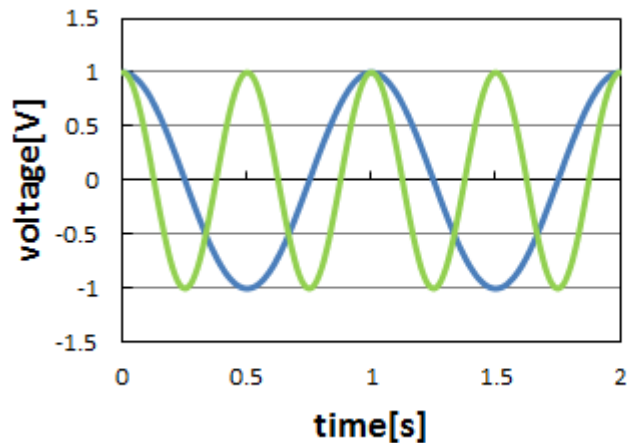
問題点②

- ▶ PLLがハウリングの高調波でロックする可能性がある



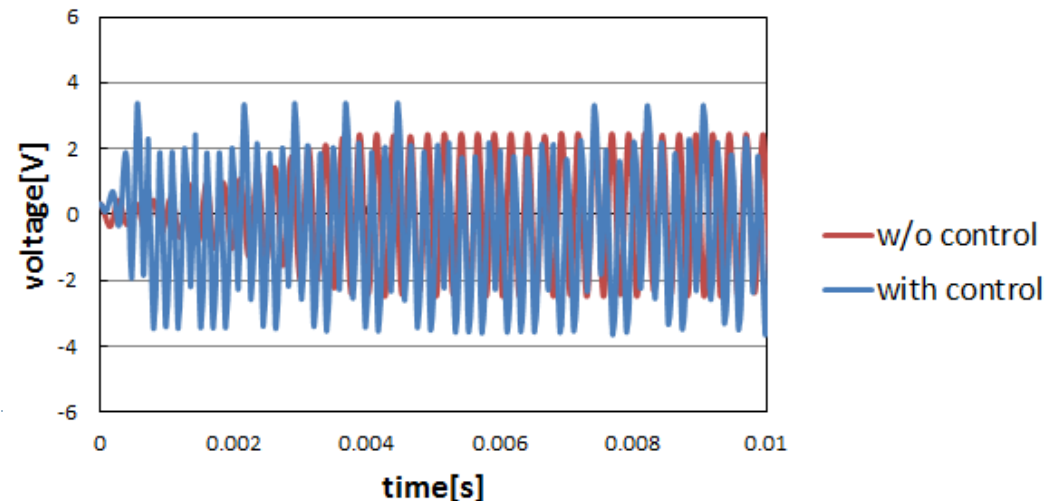
問題点②

- ▶ PLLがハウリングの高調波でロックする可能性がある
→ハウリングの高調波でのロックを回避
→**擬似ロック回避回路**
- ▶ PLLの出力信号と 90° 位相を進めたハウリング信号を乗算
- ▶ 正の値の割合を検出し、しきい値と比較して高調波でロックを確認
- ▶ VCOの電圧を0Vに落とすことで再度ロック

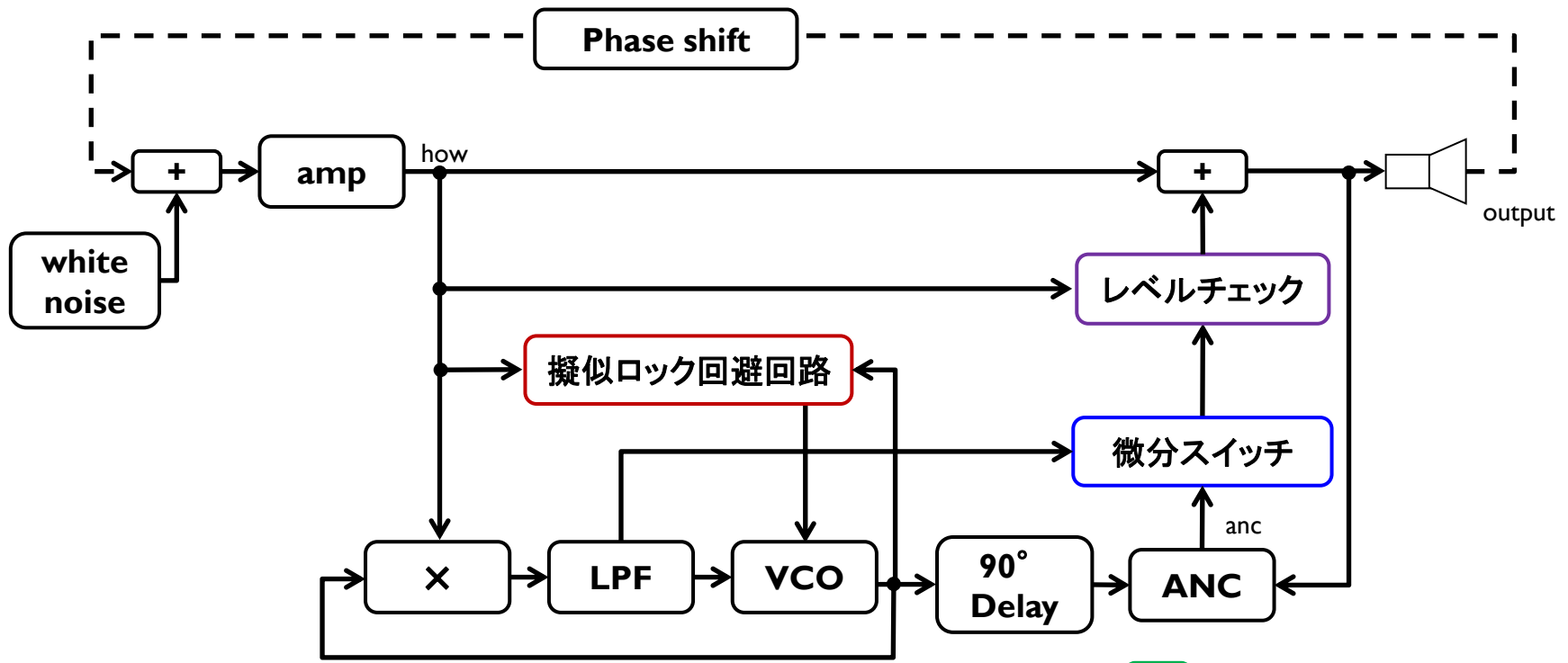


問題点③

- ▶ 電圧が飽和していないときも、低減用回路が稼働
→ 電圧飽和時のみ、ハウリング低減用回路を動作させる
→ レベルチェック回路
- ▶ 入力信号を積分(時定数: 0.5ms)し、その値がしきい値以上になることで、ハウリング低減用回路をオン



シミュレーション構成



□:PLL

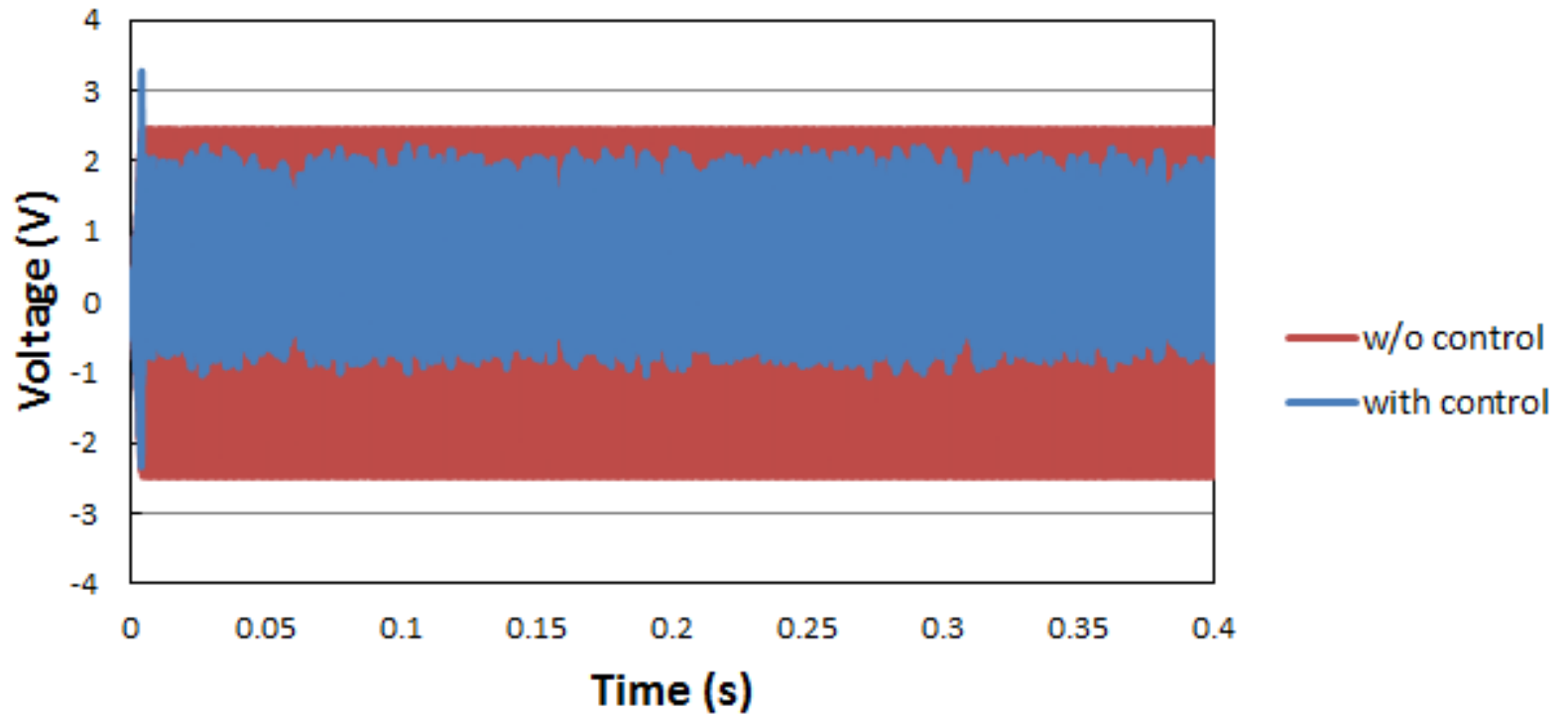
□:微分スイッチ

□:擬似ロック回避回路

□:レベルチェック回路

- ▶ Phase shift:RC 位相シフト回路
- ▶ Amp:33倍
- ▶ ホワイトノイズ最大振幅:0.01V

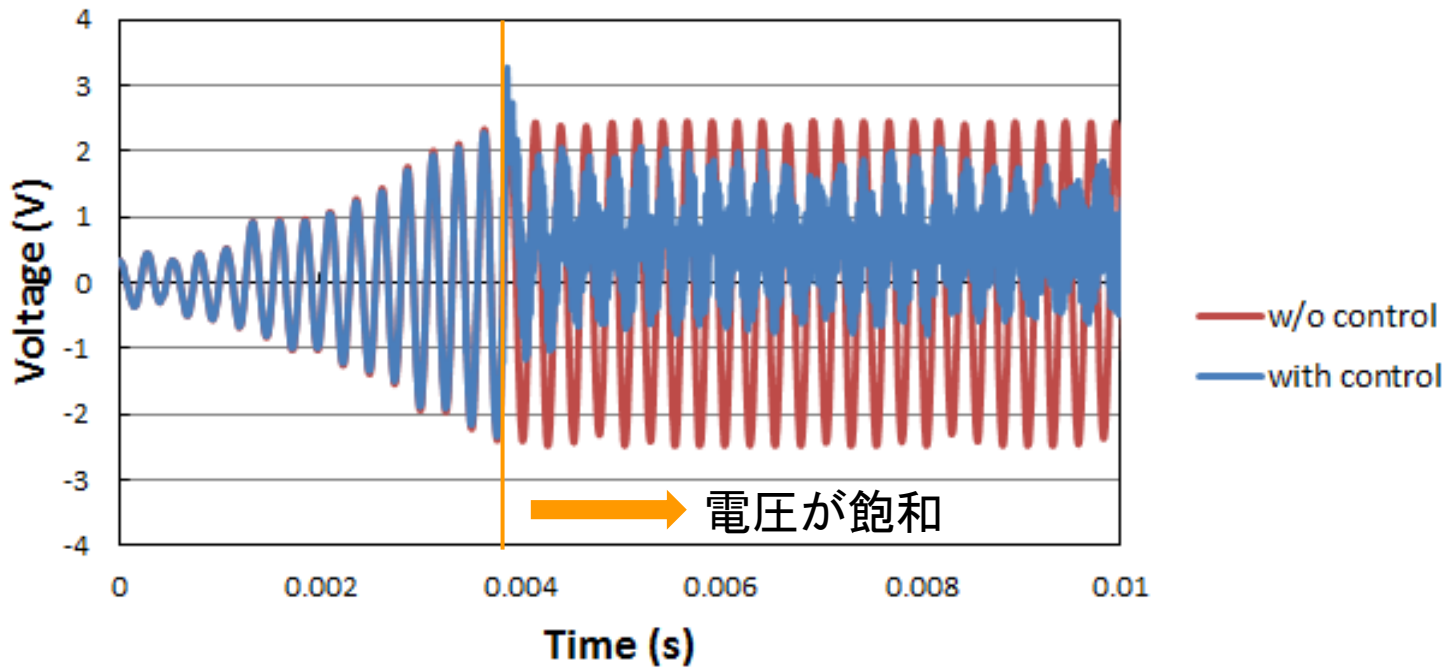
結果



ハウリングの低減を確認

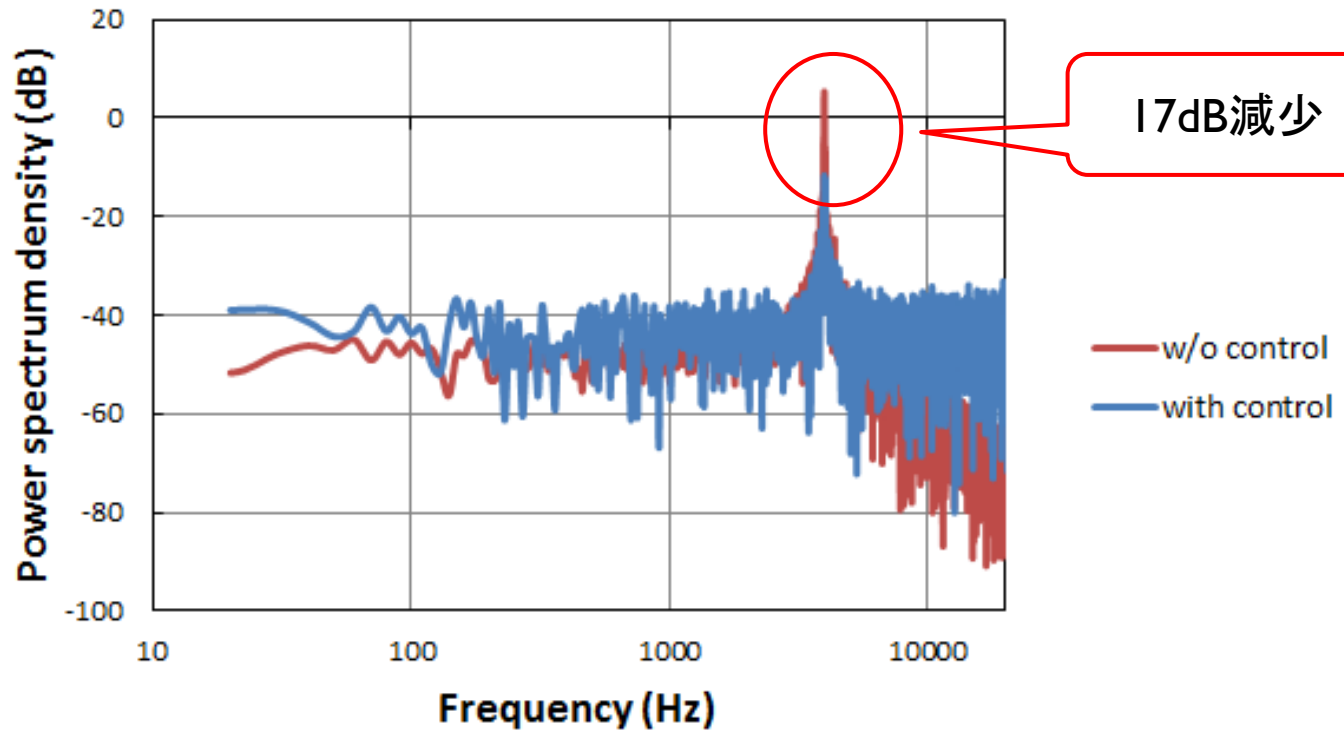


結果

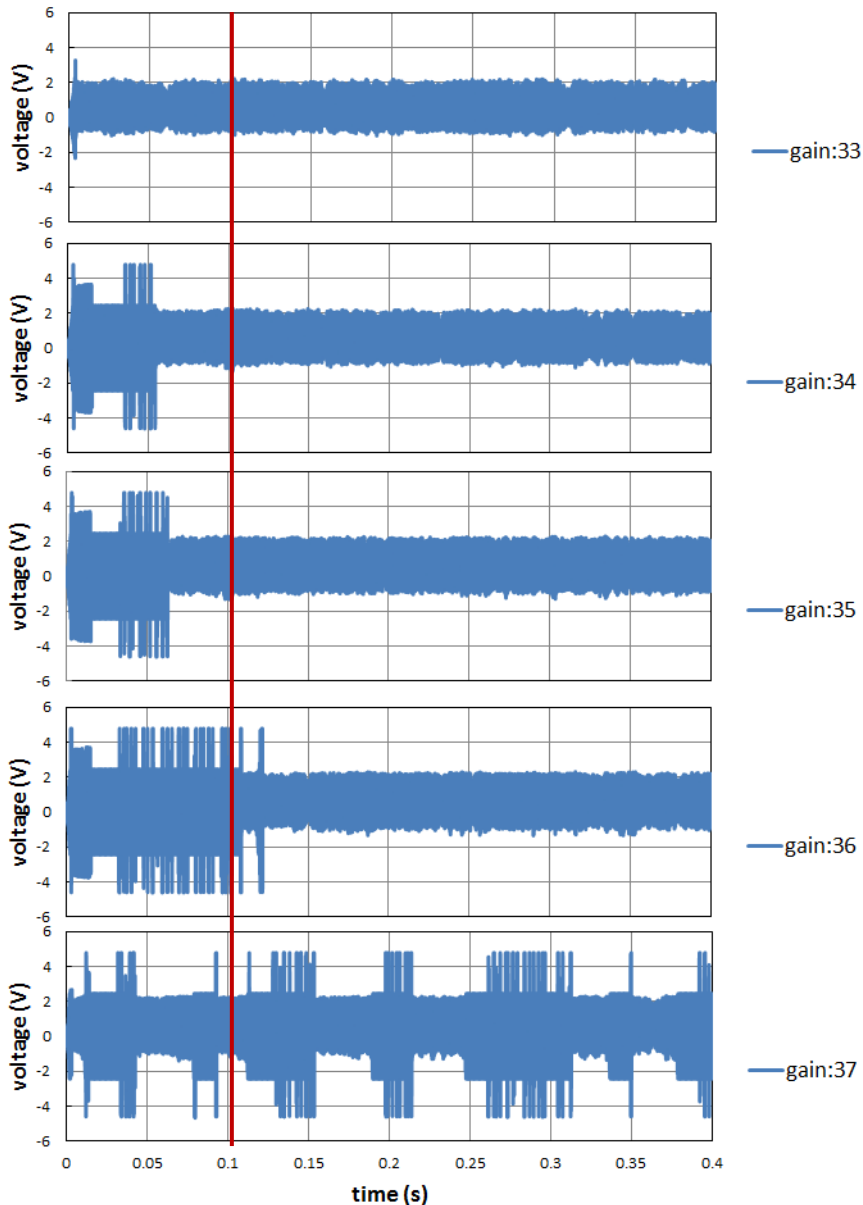


電圧が飽和後、0.29msで低減

結果



ハウリングモデルのゲインの増大



ハウリング

電圧の飽和状態(2.5V)が
0.1s以上現れること

アンプゲイン36倍から
ハウリングを確認

まとめ

- ▶ 時定数 $16\mu\text{s}$ の位相シフト回路において、アナログPLL、ANC回路及び付加回路から成るハウリング低減用回路を用いることで、
 - ▶ 電圧が飽和後 0.29ms で低減
 - ▶ 17dB の低減効果
 - ▶ ハウリングの発生するゲインが33倍から36倍に増大

- ▶ 謝辞

本研究は東京大学大規模集積システム設計教育センターを通じてケイデンス(株), シノプシス(株), オン・セミコンダクター(株)の協力で行われたものである.

